



Customer No. 31561  
Application No.: 10/707,684  
Docket No. 11845-US-PA

SPW

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Chen et al.  
Application No. : 10/707,684  
Filed : January 05, 2004  
For : CHIP PACKAGE STRUCTURE  
Examiner :  
Art Unit : 2841

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sirs:

Transmitted herewith are two certified copies of Taiwan Application No.: 092129522, filed on: 2003/10/24 and Japanese Application No.: 2003-117507, filed on: 2003/4/22.

A return prepaid postcard is also included herewith.

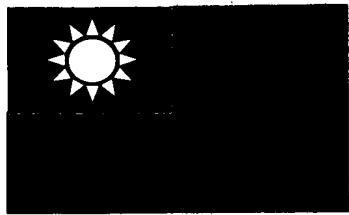
Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: May 13, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

**7F.-1, No. 100, Roosevelt Rd.,  
Sec. 2, Taipei 100, Taiwan, R.O.C.  
Tel: 886-2-2369 2800  
Fax: 886-2-2369 7233 / 886-2-2369 7234**



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 24 日  
Application Date

申請案號：092129522  
Application No.

申請人：財團法人工業技術研究院、松下電工股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2004 年 2 月 11 日  
Issue Date

發文字號：09320124380  
Serial No.

請日期：

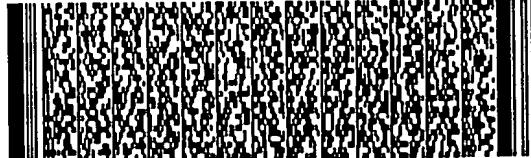
## IPC分類

請案號：

以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中文	晶片封裝結構
	英文	Chip package structure
二、 發明人 (共6人)	姓名 (中文)	1. 陳凱琪
	姓名 (英文)	1. CHEN, KAI CHI
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 南投縣草屯鎮南埔里中正路269號
	住居所 (英 文)	1. NO. 269, JHONGJHENG RD., CAOTUN TOWNSHIP, NANTOU COUNTY 542, TAIWAN (R. O. C.)
	名稱或 姓 名 (中文)	1. 財團法人工業技術研究院 2. 松下電工股份有限公司
三、 申請人 (共2人)	名稱或 姓 名 (英文)	1. INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE 2. MATSUSHITA ELECTRIC WORKS, LTD
	國籍 (中英文)	1. 中華民國 TW 2. 日本 JP
	住居所 (營業所) (中 文)	1. 新竹縣竹東鎮中興路四段195號 (本地址與前向貴局申請者相同) 2. 日本大阪府門真市大字門真1048番地 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO. 195, SECTION 4, CHUNG HSING ROAD, CHUTUNG, HSINCHU, TAIWAN, R. O. C. 2. 1048, OAZA-KADOMA, KADOMA-SHI, OSAKA, JAPAN
	代表人 (中文)	1. 翁政義 2. 西田 一成
	代表人 (英文)	1. WENG, CHENG I 2. NISHIDA, KAZUSHIGE



申請日期：	IPC分類
申請案號：	

以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共6人)	姓名 (中文)	2. 黃淑禎 3. 李巡天
	姓名 (英文)	2. HUANG, SHU CHEN 3. LI, HSUN TIEN
	國籍 (中英文)	2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	2. 基隆市信義區義幸里中興路66號6樓之1 3. 新竹市東區新莊街177號5樓
	住居所 (英文)	2. 6F. -1, NO. 66, JHONGSING RD., SINYI DISTRICT, KEELUNG CITY 201, TAIWAN (R. O. C.) 3. 5F., NO. 177, SINJHUANG ST., HSINCHU CITY 300, TAIWAN (R. O. C.)
	三、 申請人 (共2人)	名稱或 姓名 (中文)
名稱或 姓名 (英文)		
國籍 (中英文)		
住居所 (營業所) (中文)		
住居所 (營業所) (英文)		
代表人 (中文)		
代表人 (英文)		



申請日期：	IPC分類
申請案號：	

以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共6人)	姓名 (中文)	4. 李宗銘 5. 福井 太郎 6. 根本 知明
	姓名 (英文)	4. LEE, TZONG MING 5. FUKUI TARO 6. NEMOTO TOMOAKI
	國籍 (中英文)	4. 中華民國 TW 5. 日本 JP 6. 日本 JP
	住居所 (中文)	4. 新竹市東區金山北二街18號 5. 日本國大阪府平野區平野本町5-10-8 6. 日本國大阪府寢屋川市成田南町11-23
	住居所 (英文)	4. NO. 18, JINSHANBEI2 ST, HSINCHU CITY 300, TAIWAN (R.O.C.) 5. 5-10-8, HIRANO HONMACHI, HIRANO-KU, OSAKA, JAPAN 6. 11-23, NARITA MINAMIMACHI, NEYAGAWA-SHI, OSAKA, JAPAN
	三、 申請人 (共2人)	名稱或 姓名 (中文)
名稱或 姓名 (英文)		
國籍 (中英文)		
住居所 (營業所) (中文)		
住居所 (營業所) (英文)		
代表人 (中文)		
代表人 (英文)		



11845rwf.psd

四、中文發明摘要 (發明名稱：晶片封裝結構)

一種晶片封裝結構，主要係由一載板、一個或多個晶片、一散熱片與一封裝材料層所構成。其中，至少有一個晶片係以覆晶接合技術電性連接於載板或其他晶片上，並且維持一覆晶接合間隙。散熱片係配置於最上方之晶片上。封裝材料層係填充於覆晶接合間隙內以及最上方之晶片與散熱片之間，而散熱片遠離晶片之表面至少係部份暴露於外界，且封裝材料層係由單一封裝材料所形成。此外，晶片與散熱片之間的距離例如係介於0.03~0.2毫米之間。封裝材料層之熱傳導係數例如大於1.2瓦特/米-凱氏溫度。

伍、(一)、本案代表圖為：第\_\_\_\_4\_\_\_\_圖

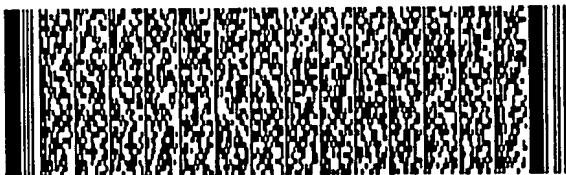
(二)、本案代表圖之元件代表符號簡單說明：

100：晶片封裝結構

140：散熱片

六、英文發明摘要 (發明名稱：Chip package structure)

A chip package structure is disclosed. The chip package structure essentially comprises a carrier, one or more chips, a heat sink and an encapsulating material layer. At least one of the chips is flip chip bonding to and electrically connects the carrier or other chips, and there is a flip chip bonding gap between the chip and the carrier or other chips. The heat sink is disposed

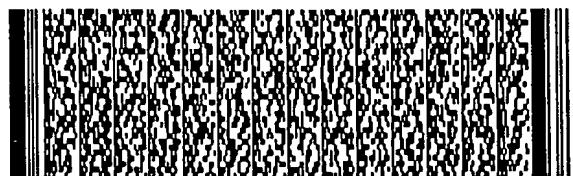


四、中文發明摘要 (發明名稱：晶片封裝結構)

142 : 散熱接腳  
150 : 晶片  
152 : 主動表面  
160 : 凸塊  
170 : 封裝材料層  
180 : 載板  
190 : 焊球  
195 : 被動元件

六、英文發明摘要 (發明名稱：Chip package structure)

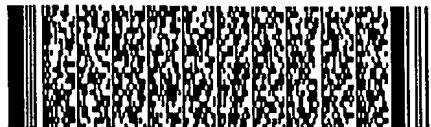
over the top chip. The encapsulating material layer is filled with the flip chip bonding gap, and between the top chip and the heat sink. The part of surface of heat sink that far away the chip is exposed. The encapsulating material layer is composed of single encapsulating material. Otherwise, the gap between the top chip and the heat sink is between 0.03mm ~ 0.2mm for example.



四、中文發明摘要 (發明名稱：晶片封裝結構)

六、英文發明摘要 (發明名稱：Chip package structure)

The thermal conductivity of encapsulating material layer is more than 1.2 W/m.K for example.



一、本案已向

國家(地區)申請專利 申請日期 案號 主張專利法第二十四條第一項優先權  
日本 JP 2003/04/22 特願2003-117507 有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

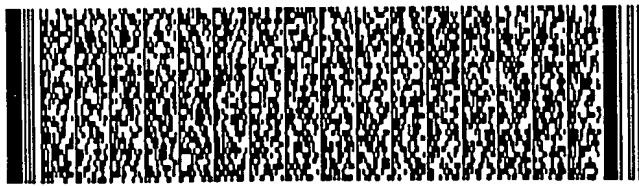
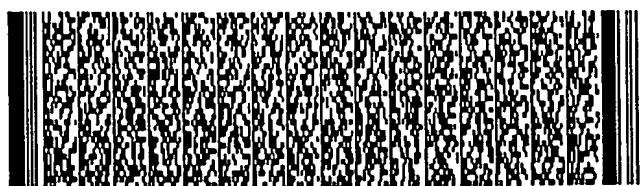
### 【發明所屬之技術領域】

本發明是有關於一種晶片封裝結構(chip package structure)，且特別是有關於一種具有極佳散熱性之晶片封裝結構。

### 【先前技術】

在高度情報化社會的今日，可攜式電子裝置(Portable electric device)的市場不斷地急速擴張著。晶片封裝技術亦需配合電子裝置的數位化、網路化、區域連接化以及使用人性化的趨勢發展。為達成上述的要求，必須強化電子元件的高速處理化、多功能化、積集(Integration)化、小型輕量化及低價化等多方面的要求，於是晶片封裝技術也跟著朝向微型化、高密度化發展。其中，覆晶接合(Flip Chip bonding, F/C bonding)技術由於係以凸塊(Bump)與載板(Carrier)接合，較習知導線連結(Wire bonding)法大幅縮短了配線長度，有助晶片與載板間訊號傳遞速度的提升，因此已漸成為高密度封裝的主流。但伴隨高密度封裝技術而來的重要課題，即是如何解決具有高積密度之晶片封裝結構的散熱問題。

第1A圖繪示為習知採導線連結式的晶片封裝結構之剖面圖。請參照第1A圖，晶片20具有一主動表面22，且主動表面22上更配置有多個焊墊(圖未示)。晶片20係以主動表面22朝上而配置於載板30上。載板30之表面上配置有多個接點(圖未示)。多條導線24之兩端係分別連接於晶片20之焊墊以及載板30之接點，以電性連接於晶片20與載板30。

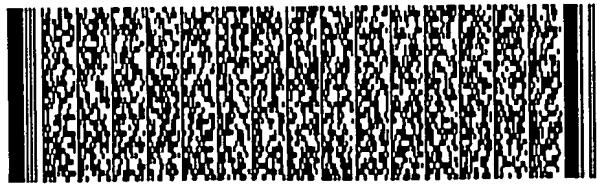
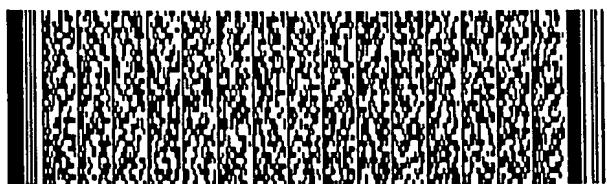


## 五、發明說明 (2)

而且，載板30遠離晶片20之表面更配置有多個陣列排列之焊球(Solder ball)32，亦即晶片封裝結構10係採用球格陣列封裝(Ball Grid Array packaging, BGA packaging)，以使晶片封裝結構後續能與印刷電路板(Printed circuit board, PCB)(圖未示)電性連接。另外，一封裝材料層34係配置於載板30上，且覆蓋晶片20與導線24以提供保護。但是，此晶片封裝結構10存在散熱性不佳之缺點。

因此，具有散熱片(Heat sink)之晶片封裝結構被揭露。第1B圖繪示為加裝散熱片之習知採導線連結式的晶片封裝結構之剖面圖。請參照第1B圖，晶片封裝結構12係於第1A圖所示之晶片封裝結構10內更增加一散熱片36，以改善晶片封裝結構12之散熱性。但是，由於晶片20與散熱片36之間有導線24存在，因此無法縮短晶片20與散熱片36之間的距離，其距離約為0.25~0.5毫米。如此一來，較厚的封裝材料層34會造成晶片20之主動表面22至散熱片36的熱傳導不佳，也成為晶片高功率化設計上待克服的一個重要課題。

第2圖繪示為習知採覆晶接合技術的晶片封裝結構之剖面圖。請參照第2圖，晶片50具有一主動表面52，且主動表面52上更配置有多個焊墊(圖未示)。載板80之表面上配置有多個接點(圖未示)。多個凸塊60係配置於主動表面52上之焊墊上，且凸塊60係藉由晶片50之焊墊以及載板80之接點而電性連接於晶片50與載板80之間。其中，載板80



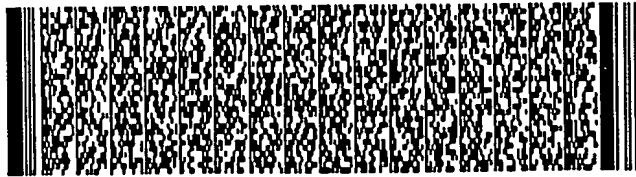
### 五、發明說明 (3)

遠離晶片50之表面更配置有多個陣列排列之焊球60。

為了保護晶片50使其免於受到濕氣的破壞，同時保護連接晶片50與載板80的凸塊60，使其免於受到剪切應力(Shear force)破壞，因此更形成一封裝材料層70於晶片50與載板80之間。習知形成封裝材料層70之方式係利用毛細現象，將黏度較低的液態封裝材料填入晶片50與載板80之間的覆晶接合間隙，之後再將封裝材料硬化。

承上所述，晶片封裝結構40較第1A圖所示之習知導線連結式的晶片封裝結構10具有更佳電氣性能，且厚度亦符合晶片封裝結構的薄型化趨勢。但是，封裝材料填入覆晶接合間隙所需之時間較長，不符合產業界對產能的要求。而且，由於封裝材料係藉助自然的毛細現象填入覆晶接合間隙，因此晶片50與載板80之間凸塊60的數目、排列方式與覆晶接合間隙的大小，都會影響封裝材料的流動性，導致封裝材料填入不完全而形成空洞，進而影響封裝信賴度(Reliability)。

此外，由於晶片50係直接暴露於外界，因此在標記(Marking)晶片特性於晶片50表面時，或是在藉由真空吸附晶片50以移動晶片封裝結構40時，都很容易造成晶片50的破壞。為改善此缺點，更產生了另一習知晶片封裝結構。第3A圖與第3B圖即繪示另一種習知採覆晶接合技術的晶片封裝結構之剖面圖。請參照第3A圖，晶片封裝結構42係於第2圖之晶片封裝結構40上更增加一頂部模封層(Over mold)72，以保護晶片50在進行標記與移動時不受到破



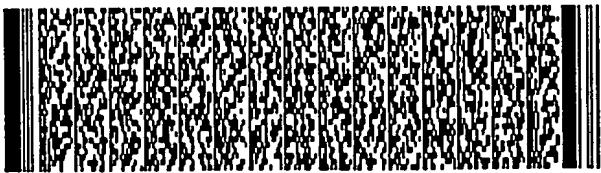
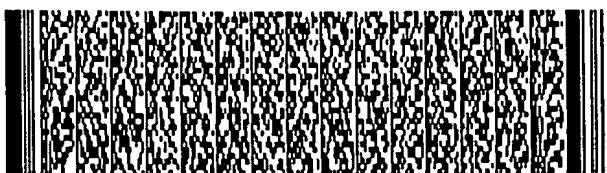
壞。

但是，形成頂部模封層72所需之製程時間將相對造成產能下降，而且在封裝材料層70與頂部模封層72之介面亦容易發生介面剝離(Delamination)的現象，進而降低晶片封裝結構42之可靠度。

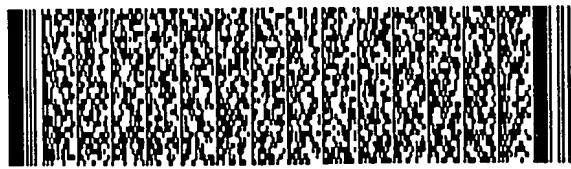
因此，根據第3A圖之晶片封裝結構42進行改進，第3B圖之晶片封裝結構44亦於日本專利JP392698之發明中被揭露。晶片封裝結構44由於係一次形成封裝材料層74，以覆蓋晶片50與載板80並填充封裝材料於晶片50與載板80之間，因此可避免發生介面剝離的缺點。但是，此種設計仍存在因晶片50上方具有封裝材料層74，造成晶片封裝結構44之熱量不易散出的缺點。

## 【發明內容】

因此，本發明的目的就是在提供一晶片封裝結構，適於在晶片封裝結構中採用具有極佳電氣性能之覆晶接合技術接合晶片，同時提供晶片封裝結構極佳之散熱性。



## 五、發明說明 (5)



## 五、發明說明 (6)

上。第三晶片具有一第三主動表面，第三主動表面上配置有多個第二凸塊。第三晶片係以第三主動表面朝向第二晶片而覆晶接合於第二晶片上，並電性連接至第二晶片。而第一凸塊與第二凸塊係維持覆晶接合間隙。

此外，晶片組例如更包括多條導線。其中，每條導線之兩端例如係分別電性連接第二晶片與載板。

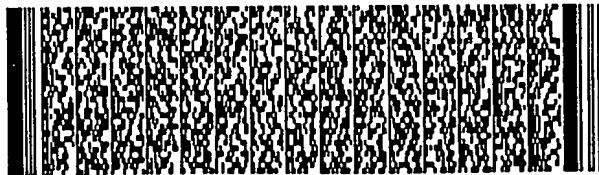
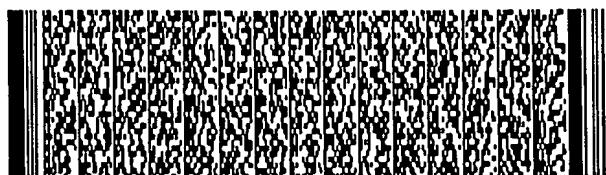
在上述晶片封裝結構之兩種實施例中，晶片與散熱片之間的距離例如係介於0.03～0.2毫米(mm)之間。封裝材料層之熱傳導係數例如大於1.2瓦特/米-凱氏溫度(W/m.K)，其材質例如係樹脂。散熱片之材質例如係金屬。晶片封裝結構例如更包括多個陣列排列之焊球與至少一被動元件。其中，焊球例如係配置於載板未配置晶片之表面。被動元件例如係配置於載板上且與載板電性連接。載板例如係一封裝基材或一導線架。

綜上所述，根據本發明所提出之晶片封裝結構，由於晶片上方配置有散熱片，因此可提供晶片封裝結構極佳之散熱途徑，進而提高晶片封裝材料層，其厚度係經最佳化。由於晶片與散熱片之間的封裝材料與散熱片之間的熱傳導效率。明

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

### 【實施方式】

第4圖繪示為根據本發明所提出之第一較佳實施例的

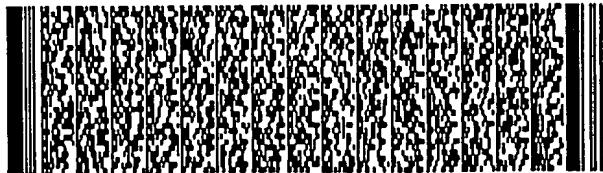
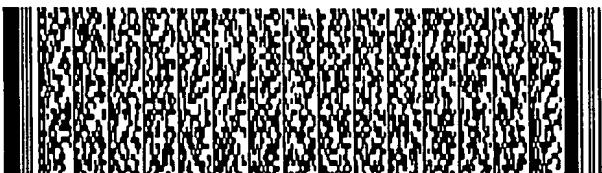


## 五、發明說明 (7)

晶片封裝結構之剖面圖。請參照第4圖，晶片封裝結構100主要係由一載板180、一晶片150、一散熱片140與一封裝材料層170所構成。其中，載板180例如係有機基板、陶瓷基板、可撓性基板等封裝基材，亦或是例如覆晶式四方扁平封裝(Flip Chip Quad Flat Non-leaded packaging, F/C QFN packaging)等封裝製程所使用之導線架(Lead frame)。載板180之上下表面例如具有多個接點(圖未示)。

晶片150具有一主動表面152，且晶片150係以主動表面152朝向載板180而覆晶接合於載板180之上表面上。晶片150之主動表面上例如配置有多個焊墊(圖未示)，多個凸塊160係配置於晶片150之主動表面152上之焊墊上。晶片150係藉由焊墊上之凸塊160而電性連接至載板180。亦即，本實施例之晶片封裝結構100中至少包括了一晶片150，且此晶片150係採用覆晶接合技術接合於載板180之上表面上。然而，除了此晶片150之外，本實施例亦可在封裝結構100中的載板180上設置其他晶片或其他元件(Component)，如電阻、電容等被動元件。

散熱片140係配置於晶片150上，且散熱片140之邊緣例如更延伸有多個散熱接腳142。散熱接腳142例如係自散熱片140之邊緣延伸至承載板190，散熱接腳142有助於加速散熱片140與載板180之間的熱傳導。而且，散熱片140之面積例如係大於晶片150之面積，以獲得更佳之散熱效率。但是，散熱片140並不侷限於一體成形，亦可由多個



## 五、發明說明 (8)

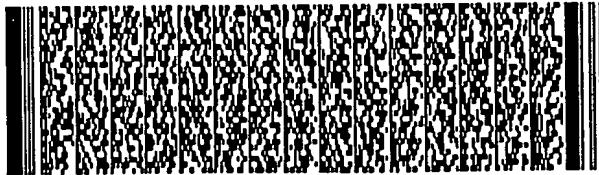
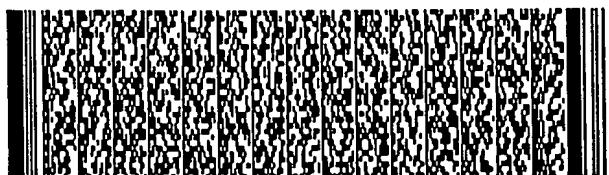
獨立之散熱片所構成，此種設計有利於大面積之晶片封裝結構的靈活運用。

此外，封裝材料層170係填充於晶片150與載板180之間以及晶片150與散熱片140之間，但是不覆蓋所有散熱片140遠離晶片150之表面。而且，封裝材料層170係由單一封裝材料所形成。

同樣請參照第4圖，本實施例中，晶片150與散熱片140之間的距離以0.3毫米以下為佳，若超過0.3毫米則在填充封裝材料層170於晶片150與散熱片140之間後，散熱性將較不理想。晶片150與散熱片140之間的距離以介於0.03~0.2毫米之間最佳，若小於0.03毫米則會難以填充封裝材料層170於晶片150與散熱片140之間。封裝材料層170之材質例如係樹脂，同時為保障散熱效果，封裝材料層170之熱傳導係數例如以大於1.2瓦特/米-凱氏溫度為佳。

散熱片140之材質例如係金屬。在本發明中，面積較晶片150大很多之金屬材質的散熱片140，主要是為了使晶片150所產生的熱量能大範圍的擴散，因此以導熱性佳者最好。一般例如係使用銅板、鋁板、鐵板、鎳板或其表面鍍金者。此外，散熱片140須能承受形成進行封裝製程時的壓力，因此最好具備不易彎曲的強度。雖然依金屬種類而不同，但散熱片140例如係以0.1毫米以上的厚度者為佳。

另外，為了增加封裝材料層170與散熱片之140界面的緊密度，除在散熱片140之表面例如進行鍍金處理外，亦



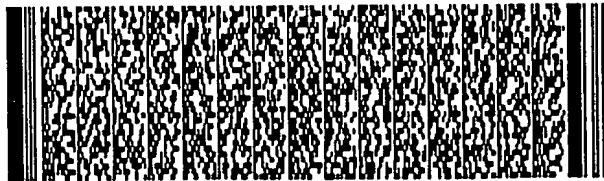
## 五、發明說明 (9)

可在散熱片140之表面例如進行表面化學處理或表面粗化等物理處理。在晶片封裝結構100進行封裝製程以形成封裝材料層170前，散熱片140須以例如黏著劑、焊接等方式固定在承載板180上。黏著劑只要能承受封裝時的溫度與壓力，使散熱片140不至於發生移位即可，因此需要依散熱片140的形狀以及散熱片140與承載板180的黏著面積來考慮為佳。在選用黏著劑時，為了提高散熱性可使用導熱性黏著劑，但並非必要條件。

此外，晶片封裝結構100例如更包括多個陣列排列之焊球190與至少一被動元件195。其中，焊球190例如係配置於載板180下表面之接點上。焊球190係提供晶片封裝結構100之後例如與印刷電路板電性連接之用途。被動元件195例如係配置於載板180之上表面上，且與載板180電性連接。

值得注意的是，本發明不同於第3A圖之習知晶片封裝結構，本發明之晶片封裝結構100中，各部分之封裝材料層係一次成形，因此可避免在分次成形之封裝材料的介面上發生介面剝離。

第5圖與第6圖繪示為根據本發明所提出之第二較佳實施例的晶片封裝結構之剖面圖。在根據本發明所提出之第二較佳實施例的晶片封裝結構中，主要係更增加多個晶片，其餘與第一較佳實施例相同之處在此不再贅述。請共同參照第5圖與第6圖，晶片封裝結構200主要係由一載板280、一晶片組250、一散熱片240與一封裝材料層270所構



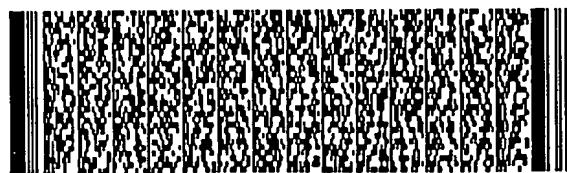
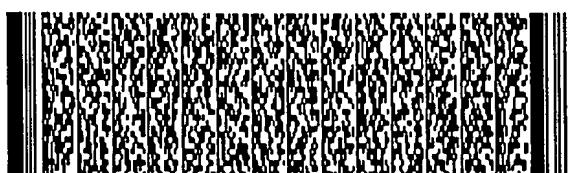
## 五、發明說明 (10)

成。其中，晶片組250主要係由多個晶片所構成，且其中至少有一晶片係以覆晶接合技術接合於載板280或其他晶片上。因此，晶片組250內至少存在一覆晶接合間隙256，覆晶接合間隙256係由採用覆晶接合之晶片上的凸塊所形成的。散熱片240係配置於晶片組250上。封裝材料層270係充滿於覆晶接合間隙256內，以及晶片組250與散熱片240之間。

而且，晶片250與散熱片240之間的距離以介於0.03～0.2毫米之間最佳。封裝材料層270之熱傳導係數例如以大於1.2瓦特/米-凱氏溫度為佳。

請參照第5圖，本較佳實施例之晶片組250主要例如係由一第一晶片250a與一第二晶片250b所構成。其中，各元件之配置關係如下所述。第一晶片250a具有一第一主動表面252a，且第一晶片250a係以第一主動表面252a朝上而配置於載板280上。第二晶片250b係具有一第二主動表面252b，第二主動表面252b上配置有多數個凸塊260。第二晶片250b係以第二主動表面252b朝向第一晶片250a而覆晶接合於第一晶片250a上，並電性連接至第一晶片250a。而凸塊260係維持覆晶接合間隙256。

此外，晶片組250例如更包括多條導線254b。載板280之表面上例如配置有多個接點(圖未示)，第一晶片250a之一第一主動表面252a以及第二晶片250b之第二主動表面252b上例如配置有多個焊墊(圖未示)。第二晶片250b之凸塊260即維持覆晶接合間隙256於第一晶片250a與第二晶片

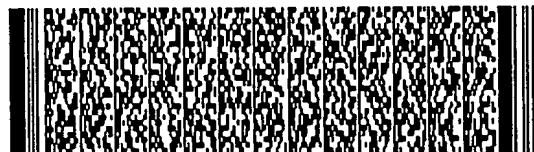


## 五、發明說明 (11)

250b 之間。換言之，第二晶片 250b 係以覆晶接合技術接合於第一晶片 250a 之第一主動表面 252a 上。每條導線 254b 之兩端例如係分別電性連接第一晶片 250a 之焊墊與載板 280 之接點。

請參照第 6 圖，本較佳實施例之晶片組 250 例如係由一第一晶片 250a、一第二晶片 250b 與一第三晶片 250c 所構成。晶片組 250 例如更包括多條導線 254b。其中，各元件之配置關係如下所述。第一晶片 250a 係配置於載板 280 上，且第一晶片 250a 具有一第一主動表面 252a，第一主動表面 252a 上配置有多個第一凸塊 260a。第一晶片 250a 係以第一主動表面 252a 朝向載板 280 而覆晶接合於載板 280 上，並電性連接至載板 280。第二晶片 250b 具有一第二主動表面 252b，第二主動表面 252b 係背向第一晶片 250a。而且，多條導線 254b 係連接於第二晶片 250b 之第二主動表面 252b 上的焊墊，以及載板 280 的接點之間，以電性連接第二晶片 250b 與載板 280。第三晶片 250c 具有一第三主動表面 252c，第三主動表面 252c 上配置有多個第二凸塊 260b。第三晶片 250c 係以第三主動表面 252c 朝向第二晶片 250b 而覆晶接合於第二晶片 250b 上，並電性連接至第二晶片 250b。而第一凸塊 260a 與第二凸塊 260b 係維持覆晶接合間隙 256。換言之，第三晶片 250c 係以覆晶接合技術接合於第二晶片 250b 之第二主動表面 252b，第一晶片 250a 係以覆晶接合技術接合於載板 280 之表面。

在本發明所提出之第二較佳實施例中，與第一較佳實

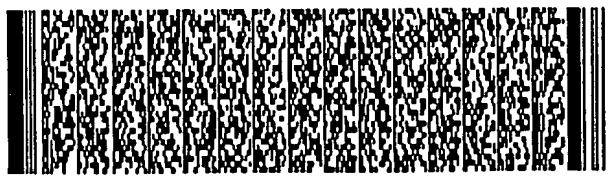
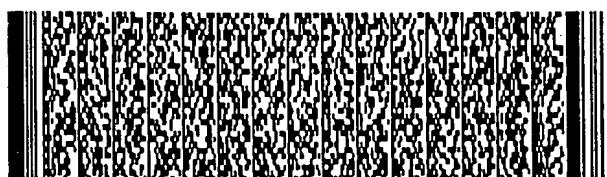


## 五、發明說明 (12)

施例相較主要係增加晶片之數量，同時不限定所有晶片皆在晶片仍覆用方配皆採用覆晶接合技術與載板接合。本發明之主要特徵採用上方隙間一次形於本接合技術與載板或是其他晶片接合。而且，晶片上間以相同封裝材料一次形於本接合置有一散熱板。散熱板與晶片之間以及覆晶接合皆應屬於本具有封裝材料層，封裝材料層係以相同封裝材料一次形於本發明所欲保護之範圍。

第7A圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構，在完成晶片封裝製程後之成品的剖面圖。第7B圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構，在完成晶片封裝製程後之成品經切割後的剖面圖。請共同參照第7A圖與第7B圖，為符合量產所需，本較佳實施例之封裝製程在形成封裝材料層170後，例如更沿切割線L進行切割(Dicing)，以形成多個晶片封裝結構100。其中，每個晶片封裝結構100至少包括一個晶片150。另外，雖然在第7A圖中繪示之封裝材料層170係連接為一體，但亦可調整製程模具，形成多個互相獨立之封裝材料層170，亦即在切割線部份不形成封裝材料層，以縮短後續切割所需之時間。

值得注意的是，在根據本發明所提出之較佳實施例的晶片封裝結構之製程中，形成封裝材料層的方法例如係一減壓移轉注模成形法。減壓移轉注模成形法係指將欲封裝之晶片結構放入模具，在模具進入減壓狀態後，於模具內

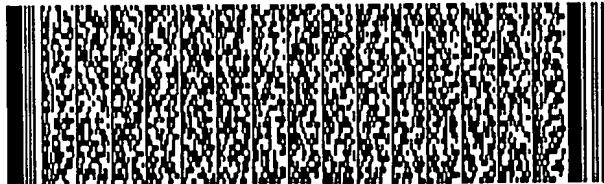
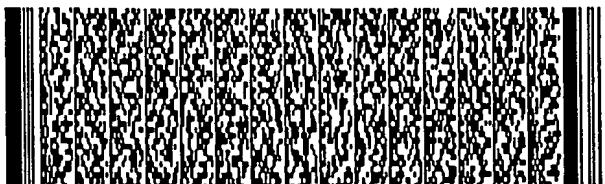


## 五、發明說明 (13)

導入熱熔融材料，並進行加熱加壓處理使樹脂硬化的一種處理方式。一般移轉注模成形法由於未進行減壓，易造成覆晶接合間隙或晶片與散熱板之間的封裝材料填充不足，若使模具內的減壓狀態保持在20毫米-汞柱以下則可獲得較佳之封裝效果，減壓狀態之最佳值在10毫米-汞柱以下。

第8圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構於減壓移轉注模成形模具中形成封裝材料層的剖面圖。請參照第8圖，移轉注模成形設備(圖未示)可依所需的封裝型式放置適合的模具300，模具300主要係由上模具310與下模具320所構成。當上模具310與下模具320合模時，為達到較有效率之真空效果，合模步驟係首先將上模具310、下模具320與模具300內之真空橡膠封環330輕微接觸。接著，以抽真空幫浦(圖未示)經由抽真空管路370進行模具腔340內的減壓真空處理。然後，投入膠餅(tablet)(圖未示)於注膠管路350內，並維持1~5秒以提高空間內的真空度，同時提升模具內之溫度以使膠餅成為熱熔融狀態之封裝材料。最後，將上模具310與下模具320完全密合，同時拉起柱塞(plunger)360，以導入熱熔融狀態之封裝材料，使其填滿於模具腔340內，完成減壓移轉注模成形。

其中，減壓移轉注模成形在進行時，將成形溫度控制在低於凸塊160之熔點至少攝氏5度為佳，成形溫度高過於此時，相對於成形時熔融狀態之封裝材料對晶片150所產



## 五、發明說明 (14)

生之壓力，凸塊160對於晶片150與載板180覆晶接合強度不夠，容易在減壓移轉注模成形的過程中發生晶片150脫落等現象。

而且，根據本發明所提出之較佳實施例的晶片封裝結構在進行晶片封裝製程中，所使用之封裝材料之最大粒徑以小於覆晶接合間隙之0.5倍者為佳。若所使用之封裝材料之最大粒徑大於覆晶接合間隙之0.5倍時，覆晶接合間隙或晶片與散熱板之間的封裝材料填充較為困難，甚至會造成填充不完全的情形。而且，還會因封裝材料充填時與晶片表面的摩擦，造成晶片表面的損傷，降低晶片的可靠度。添加於封裝材料層之導熱性填充物除習知所採用的熔矽之外，若為提昇散熱性，亦可使用結晶矽之晶石、氧化鋁、氮化矽、氮化硼、氮化鋁等熱傳導性較佳之材質。一般的導熱性封裝材料由於硬度較高，容易傷及晶片表面，因此所添加之導熱性填充物最大粒徑最好不要超過覆晶接合間隙的1/5倍。

在根據本發明所提出之較佳實施例的晶片封裝製程中，形成封裝材料層的另一種方法係於減壓狀態、常溫下以液態封裝材料封裝，且加壓、加熱硬化封裝材料之兩階段流程。此時封裝材料製程可使用點膠設備進行封裝，但若考慮產能則以印刷製程較為理想，亦可使用市面商用、名為「真空印刷機」之設備。

液態封裝材料進行封裝製程時的減壓狀態以2毫米-汞柱以下為佳，超過2毫米-汞柱時則有可能發生封裝材料填



## 五、發明說明 (15)

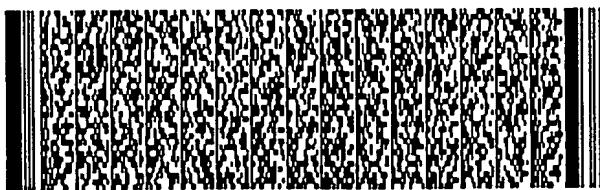
充不完全的現象。此外，填充封裝材料後的加壓加熱硬化處理上，通常以2~5公斤/平方公分加壓，至於加熱則依封裝材料硬化的情況決定。以本晶片封裝製程來說，在硬化前之加壓狀態下，最好以攝氏40度以上、硬化溫度以下之溫度，事前加熱3分鐘以上，如此則在封裝材料黏度上升前便可促進封裝材料的填充。

本過程使用之封裝材料，其液態封裝材料填充物最大粒徑最好在覆晶接合間隙 $1/3$ 倍以下且占重量百分比95以上，大於 $1/3$ 以上的粒子超過重量百分比5以上時，覆晶接合間隙的封裝材料填充易因體積過大而阻塞，造成封裝材料填充不完全。添加於封裝材料層之導熱性填充物除習知所採用的熔融狀態之二氧化矽外，若為提昇散熱性，亦可使用結晶矽石、氧化鋁、氮化矽、氮化硼、氮化鋁等熱傳導性較佳之材質。

另外，為減緩晶片封裝結構中的應力，進而避免載板發生翹曲(warpage)現象，使用之液態封裝材料中若含有彈性分散品，彈性分散品的重量百分比在90以上為佳，且彈性分散品之最大粒徑在覆晶接合間隙的 $1/3$ 倍以下為佳。

### (發明應用實例)

【實例1】將面積大小為8毫米×8毫米，具800個共晶錫鉛凸塊(熔點攝氏183度、間距為0.25毫米)、厚度0.3毫米之晶片，以矩陣排列方式接合於面積35毫米×35毫米、厚度0.4毫米之封裝基材(FR-5)上。為了使電流能夠均勻通



## 五、發明說明 (16)

過，並在晶片表面加上鋁製配線。覆晶接合間隙為50~75微米。散熱板使用25毫米×25毫米、厚度0.2毫米的銅板加工而成，並用市面販賣的耐熱黏著劑固定在封裝基材上。銅板上面鍍鎳，反面則施以表面粗化處理以提高接著強度。在銅板加工過程中，為了使露出部份達到22毫米，除施以扭曲加工外也同時進行其他加工，以使stand-off高度達到0.8毫米。使用具減壓功能之移轉注模成形設備進行減壓移轉注模成形。模具腔內真空度約為1毫米-汞柱。封止材料使用松下電工(股)製CV8710F2(填充材最大粒徑20微米，平均粒徑5微米，填充膠材全為矽，熱傳導係數為0.9瓦/米-凱氏溫度)，進行封裝材料層厚度0.8毫米，面積29毫米×29毫米之成形。成形在攝氏160度，70公斤/平方公分之壓力下進行2分鐘，再進行攝氏175度、4小時的後硬化程序便可獲得構造如第4圖之裝置。

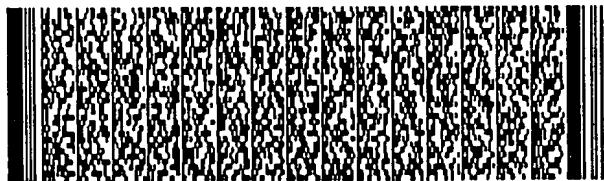
從裝置之剖面切割來看，散熱片安裝後之晶片/散熱片間之間隙大小約為0.23毫米。

【實例2】除變更實例1之stand-off高度與封裝厚度為0.7毫米外，其他均同，便成如第4圖之裝置。

【實例3】除將實例2之銅材質厚度改成0.27毫米外，其他均同，便成如第4圖之裝置。

從裝置之剖面切割來看，散熱片安裝後之晶片/散熱片間之間隙大小約為0.06毫米。

【實例4】除將實例1之銅材質厚度改成0.15毫米，stand-off高度及封裝厚度改為0.9毫米外，其他均同，便



## 五、發明說明 (17)

成如第4圖之裝置。

從裝置之剖面切割來看，散熱片安裝後之晶片/散熱片間之間隙約為0.38毫米。

【實例5】除將實例1之封裝材料50%為熔融態之矽，另50%置換成氧化鋁(填充材質最大粒徑7微米，平均粒徑1.5微米)外，其他均同，所得構造如第4圖之裝置。使用材質之熱傳導係數為1.5瓦/米-凱氏溫度。

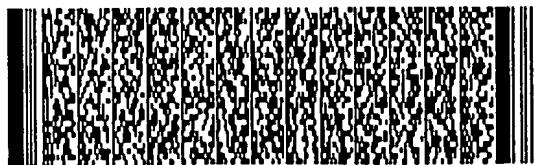
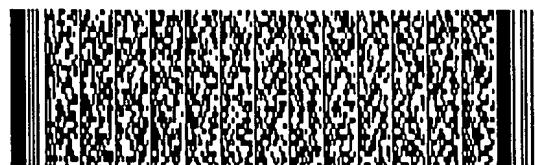
【實例6】除將實例1之封裝材料50%為熔融態之矽，另50%置換成氮化硼(填充材質最大粒徑7微米，平均粒徑2微米)外，其他均同，所得構造如第4圖之裝置。使用材質之熱傳導係數為1.9瓦/米-凱氏溫度。

【實例7】除將實例2之封裝材料改用實例5熱傳導係數為1.5瓦/米-凱氏溫度之材質外，其他均同，所得構造如第4圖之裝置。

【實例8】除將實例2之封裝材料改用實例6熱傳導係數為1.9瓦/米-凱氏溫度之材質外，其他均同，所得構造如第4圖之裝置。

【實例9】將實例7之散熱片改成鋁且進行扭曲加工外，其他均同，所得構造如第4圖之裝置。露出部份同實例7為22毫米，封裝基材與stand off也同實例7，約為0.7毫米。

【對照例1】使用實例1之晶片、封裝基材與市面販售之液態底部填充材(松下電工(股)CV5183F)，並以點膠設備將覆晶接合間隙封裝。填充材料在一定條件下硬化後所得之晶片封裝結構如第2圖所示。



## 五、發明說明 (18)

【對照例2】在對照例1，即第2圖構造之晶片封裝結構上，使用如實例1之模具與封裝材料並被覆，所得之晶片封裝結構如第3圖所示。

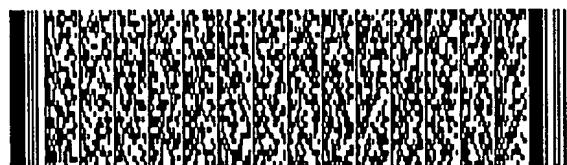
【對照例3】如實例1之裝置，除不使用散熱用銅材外其他均同，所得之晶片封裝結構如第4圖所示。

上述實例、對照例各晶片封裝結構之試驗結果如第9圖所示。

本發明所提出之較佳實施例的晶片封裝製程係採用2001年日本專利JP392698所揭露之技術。但是，本發明針對其封裝尺寸進行最佳化並設置散熱片，以使晶片封裝結構具有最佳之封裝可靠度與散熱性。

綜上所述，根據本發明所提出之較佳實施例的晶片封裝結構，因含散熱裝置且晶片均採同一材料一次被覆，相較於習知之晶片封裝結構，其翹曲程度低、信賴性高且具高度散熱效果。若使用熱傳導係數高的封裝材料，散熱效果更佳。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖繪示為習知採導線連結式的晶片封裝結構之剖面圖。

第1B圖繪示為加裝散熱片之習知採導線連結式的晶片封裝結構之剖面圖。

第2圖繪示為習知採覆晶接合技術的晶片封裝結構之剖面圖。

第3A圖與第3B圖繪示為另一種習知採覆晶接合技術的晶片封裝結構之剖面圖。

第4圖繪示為根據本發明所提出之第一較佳實施例的晶片封裝結構之剖面圖。

第5圖與第6圖繪示為根據本發明所提出之第二較佳實施例的晶片封裝結構之剖面圖。

第7A圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構，在完成晶片封裝製程後之成品的剖面圖。

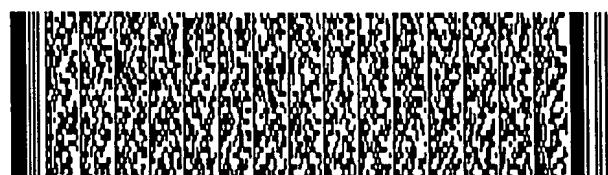
第7B圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構，在完成晶片封裝製程後之成品經切割後的剖面圖。

第8圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構於減壓移轉注模成形模具中形成封裝材料層的剖面圖。

第9圖繪示為根據本發明之較佳實施例的實例、對照例，其晶片封裝結構之試驗結果。

【圖式標示說明】

10、12、40、42、44：晶片封裝結構



## 圖式簡單說明

20、50：晶片  
22、52：主動表面  
24：導線  
30、80：載板  
32、90：焊球  
34、70、74：封裝材料層  
36：散熱片  
60：凸塊  
72：頂部模封層  
100、200：晶片封裝結構  
140、240：散熱片  
142、242：散熱接腳  
150：晶片  
152：主動表面  
160、260：凸塊  
170、270：封裝材料層  
180、280：載板  
190、290：焊球  
195、295：被動元件  
250a：第一晶片  
250b：第二晶片  
250c：第三晶片  
252a：第一主動表面  
252b：第二主動表面



圖式簡單說明

252c : 第三主動表面

254b : 導線

256 : 覆晶接合間隙

260a : 第一凸塊

260b : 第二凸塊

300 : 模具

310 : 上模具

320 : 下模具

330 : 真空橡膠封環

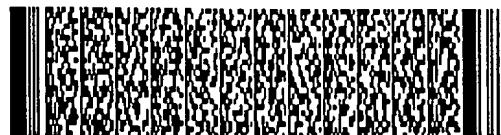
340 : 模具腔

350 : 注膠管路

360 : 柱塞

370 : 抽真空管路

L : 切割線



## 六、申請專利範圍

1. 一種晶片封裝結構，至少包括：

一載板；

一晶片，具有一主動表面，該主動表面上配置有多數個凸塊，該晶片係以該主動表面朝向該載板而覆晶接合於該載板上，並電性連接至該載板；

一散熱片，配置於該晶片上；以及

一封裝材料層，填充於該晶片與該載板之間以及該晶片與該散熱片之間，其中該散熱片遠離該晶片之表面至少係部份暴露於外界，且該封裝材料層係由單一封裝材料形成。

2. 如申請專利範圍第1項所述之晶片封裝結構，其中該晶片與該散熱片之距離係介於0.03～0.2毫米之間。

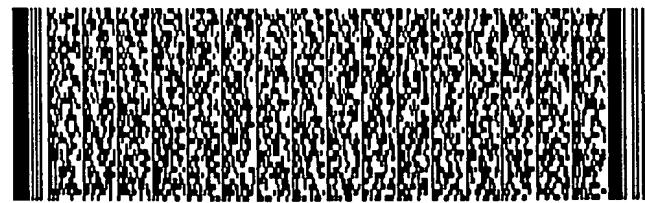
3. 如申請專利範圍第1項所述之晶片封裝結構，其中該封裝材料層之熱傳導係數大於1.2瓦特/米-凱氏溫度。

4. 如申請專利範圍第1項所述之晶片封裝結構，其中該封裝材料層之材質包括樹脂。

5. 如申請專利範圍第1項所述之晶片封裝結構，其中該散熱片之材質包括金屬。

6. 如申請專利範圍第1項所述之晶片封裝結構，更包括多數個陣列排列之焊球，配置於該載板遠離該晶片之表面。

7. 如申請專利範圍第1項所述之晶片封裝結構，更包括至少一被動元件，配置於該載板上且與該載板電性連接。



## 六、申請專利範圍

8. 如申請專利範圍第1項所述之晶片封裝結構，其中該載板包括一封裝基材與一導線架其中之一。

9. 一種晶片封裝結構，至少包括：

一載板；

一晶片組，配置於該載板上且與該載板電性連接，該晶片組包括多數個晶片，這些晶片至少其中之一係覆晶接合於該載板與這些晶片其中之上，並且維持一覆晶接合間隙；

一散熱片，配置於該晶片組上；以及

一封裝材料層，填充於該覆晶接合間隙內以及該晶片組與該散熱片之間，其中該散熱片遠離該晶片組之表面至少係部份暴露於外界，且該封裝材料層係由單一封裝材料形成。

10. 如申請專利範圍第9項所述之晶片封裝結構，其中該晶片組與該散熱片之距離係介於0.03～0.2毫米之間。

11. 如申請專利範圍第9項所述之晶片封裝結構，其中該封裝材料層之熱傳導係數大於1.2瓦特/米-凱氏溫度。

12. 如申請專利範圍第9項所述之晶片封裝結構，其中該晶片組至少包括：

一第一晶片，具有一第一主動表面，且該第一晶片係以該第一主動表面背向該載板而配置於該載板上；以及

一第二晶片，具有一第二主動表面，該第二主動表面朝上配置有多數個凸塊，該第二晶片係以該第二主動表面朝向該第一晶片而覆晶接合於該第一晶片上，並電性連接至



## 六、申請專利範圍

該第一晶片，其中該些凸塊係維持該覆晶接合間隙。

13. 如申請專利範圍第12項所述之晶片封裝結構，其中該晶片組更包括多數個導線，該些導線之兩端分別電性連接於該第二晶片與該載板。

14. 如申請專利範圍第9項所述之晶片封裝結構，其中該晶片組至少包括：

一第一晶片，具有一第一主動表面，該第一主動表面上配置有多數個第一凸塊，該第一晶片係以該第一主動表面朝向該載板而覆晶接合於該載板上，並電性連接至該載板；

一第二晶片，具有一第二主動表面，該第二晶片係以該第二主動表面背向該第一晶片而配置於該第一晶片上；以及

一第三晶片，具有一第三主動表面，該第三主動表面上配置有多數個第二凸塊，該第三晶片係以該第三主動表面朝向該第二晶片而覆晶接合於該第二晶片上，並電性連接至該第二晶片，其中該些第一凸塊與該些第二凸塊係維持該覆晶接合間隙。

15. 如申請專利範圍第14項所述之晶片封裝結構，其中該晶片組更包括多數個導線，該些導線之兩端分別電性連接於該第一晶片與該載板。

16. 如申請專利範圍第9項所述之晶片封裝結構，其中該封裝材料層之材質包括樹脂。

17. 如申請專利範圍第9項所述之晶片封裝結構，其中



## 六、申請專利範圍

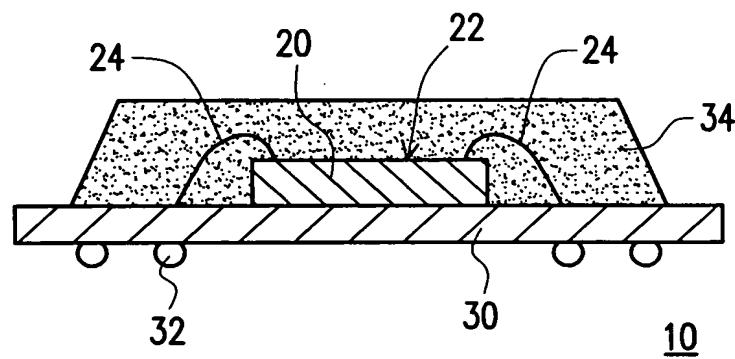
該散熱片之材質包括金屬。

18. 如申請專利範圍第9項所述之晶片封裝結構，更包括多數個陣列排列之焊球，配置於該載板遠離該晶片組之表面。

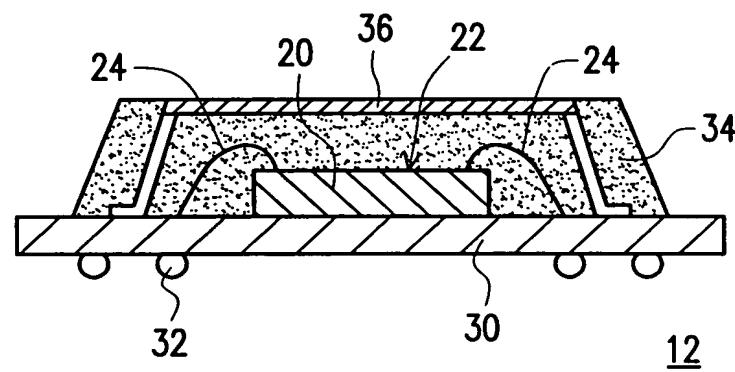
19. 如申請專利範圍第9項所述之晶片封裝結構，更包括至少一被動元件，配置於該載板上且與該載板電性連接。

20. 如申請專利範圍第9項所述之晶片封裝結構，其中該載板包括一封裝基材與一導線架其中之一。

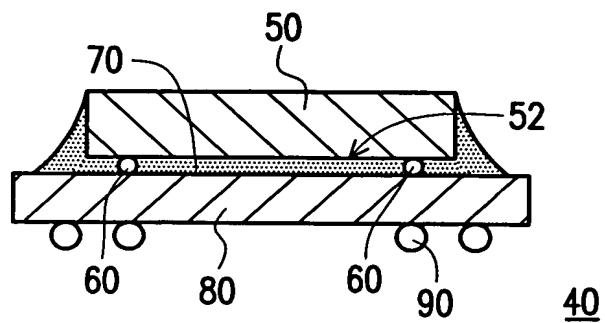




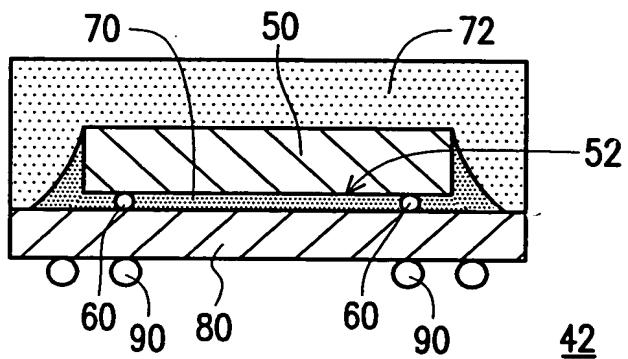
第 1A 圖



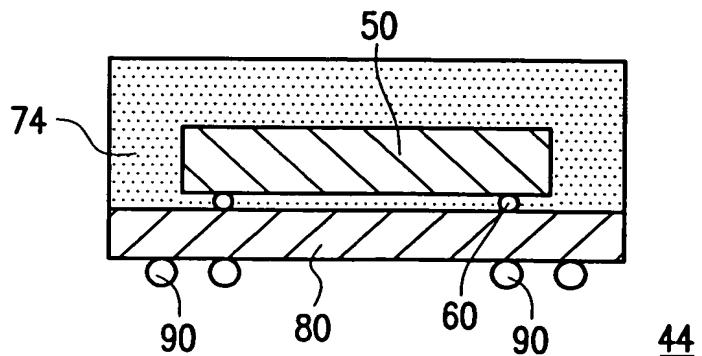
第 1B 圖



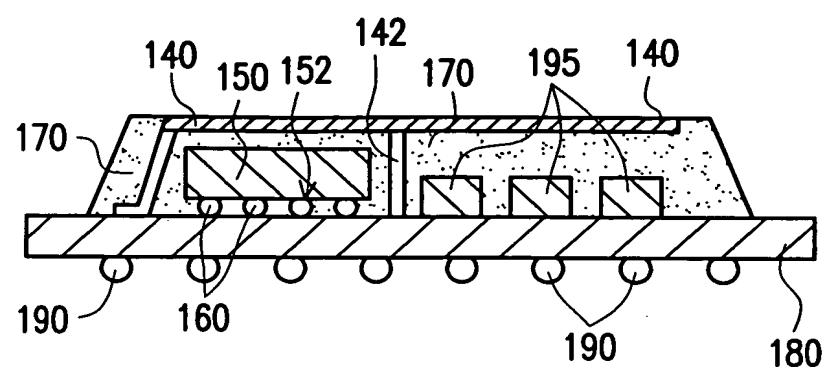
第 2 圖



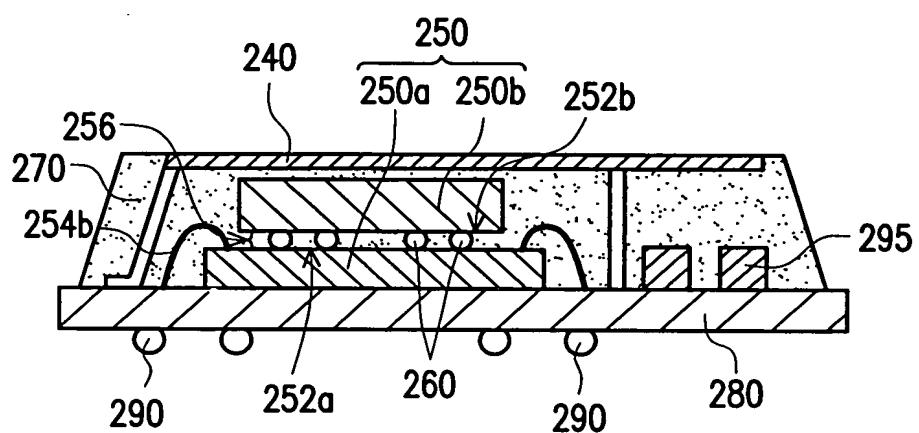
第 3A 圖



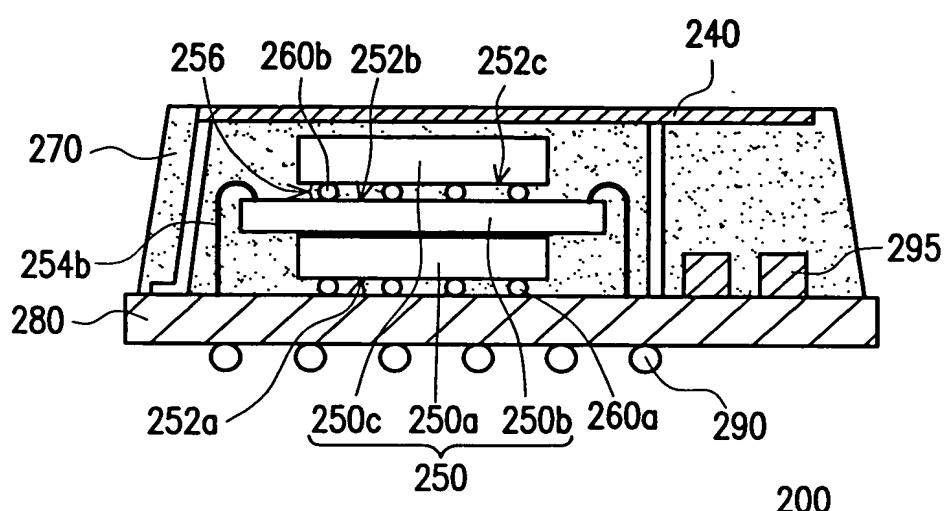
第 3B 圖



第 4 圖

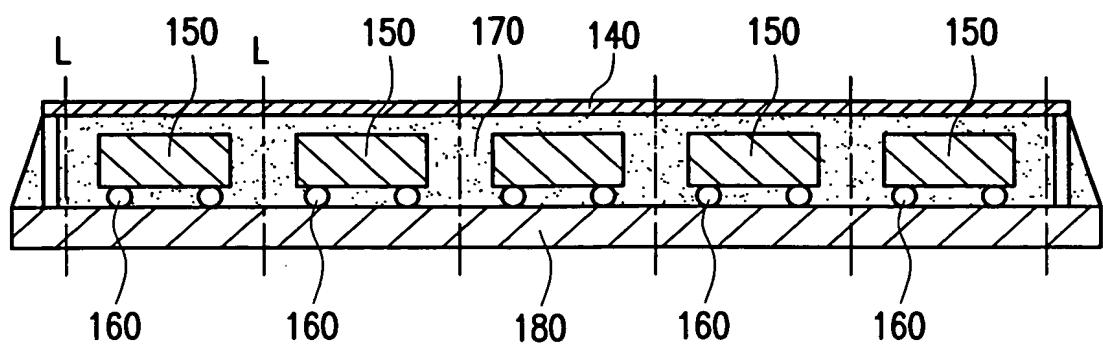
100

第 5 圖

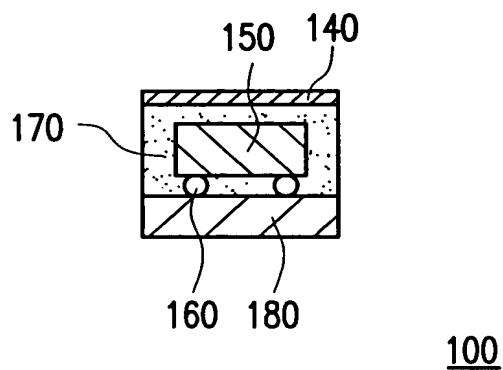
200

第 6 圖

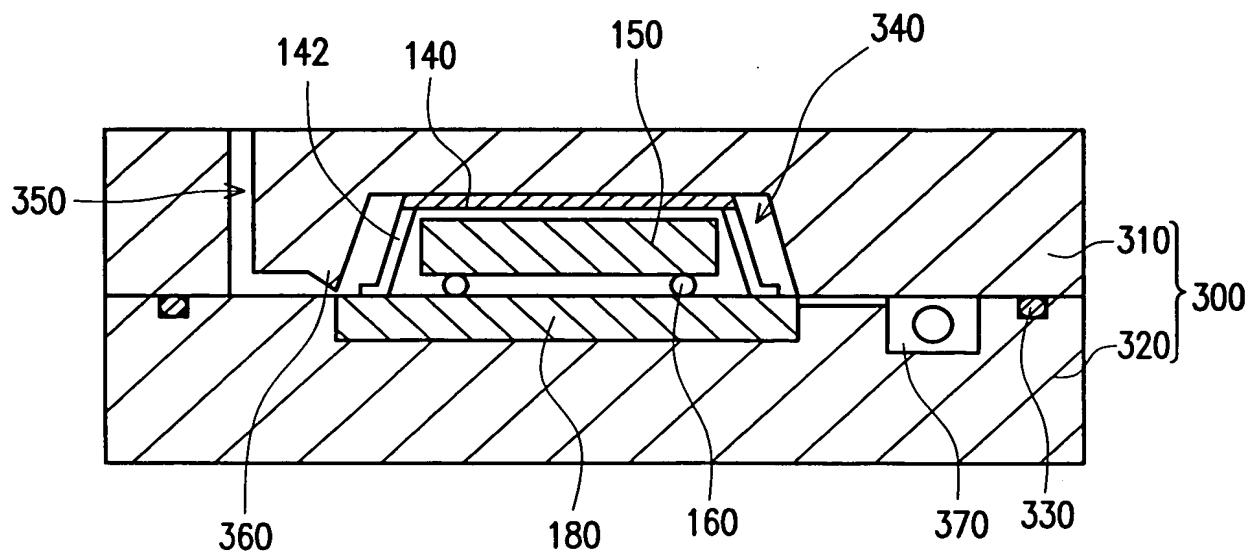
200



第7A圖



第7B圖



第8圖

	實例 1	實例 2	實例 3	實例 4	實例 5	實例 6	實例 7
基板翹曲 *1	20 微米						
耐焊性 *2	◎	◎	◎	◎	◎	◎	◎
溫度循環信賴性 *3	2000 循環						
PCT 信賴性 *4	>500 小時						
散熱性 *5	5 分鐘	12 分鐘	20 分鐘	2 分鐘	20 分鐘	40 分鐘	35 分鐘

	實例 8	實例 9	對照例 1	對照例 2	對照例 3
基板翹曲 *1	20 微米	30 微米	80 微米	40 微米	50 微米
耐焊性 *2	◎	◎	X	○	◎
溫度循環信賴性 *3	2000 循環	2000 循環	300 循環	500 循環	2000 循環
PCT 信賴性 *4	>500 小時	>500 小時	96 小時	168 小時	>500 小時
散熱性 *5	>60 分鐘	40 分鐘	10 分鐘	30 秒	30 秒

\*1 基板翹曲：以基板裡面對角線之表面高度來計算。

\*2 耐焊性：◎：JEDEC level II 合格 ○：JEDEC level III 合格  
(n=11) X：JEDEC level III 不合格

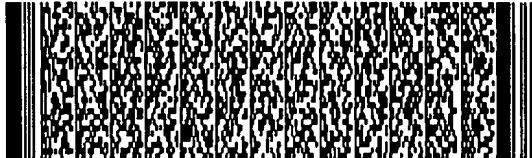
\*3 溫度循環信賴性：氣體環境攝氏零下 65 度/15 分~室溫/5 分~攝氏 150 度/15 分(n=11)

\*4 PCT 信賴性 攝氏 121 度、2 大氣壓

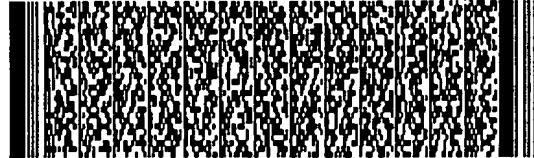
\*5 散熱性：在晶片表面之鋁配線上，通上 10 毫安培的電流，測定至鋁配線熔斷所需之時間。

## 第 9 圖

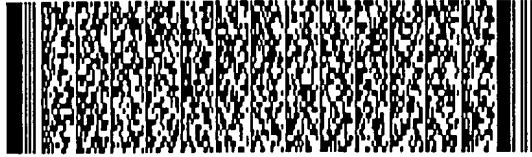
第 1/32 頁



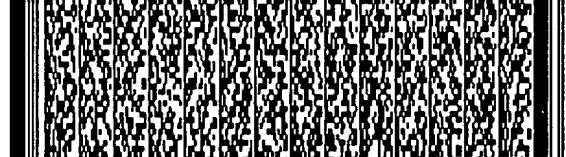
第 1/32 頁



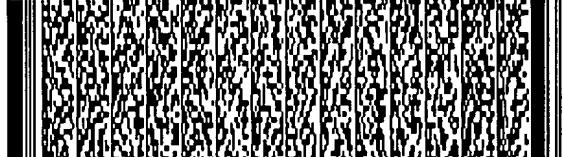
第 2/32 頁



第 3/32 頁



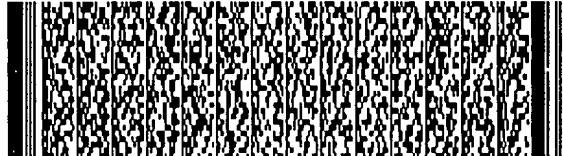
第 4/32 頁



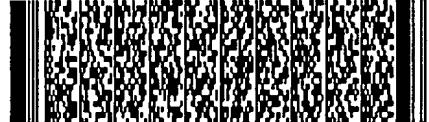
第 4/32 頁



第 5/32 頁



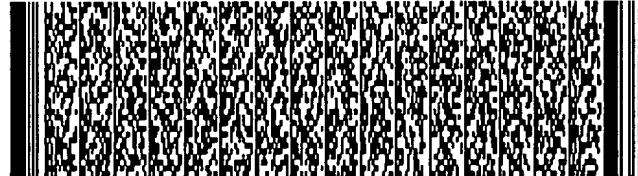
第 6/32 頁



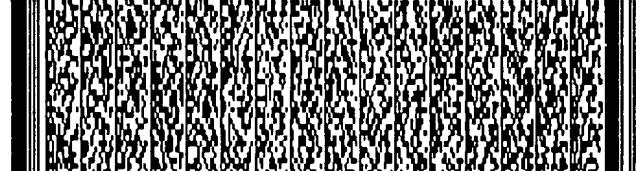
第 7/32 頁



第 8/32 頁



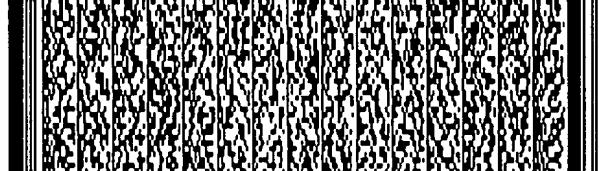
第 8/32 頁



第 9/32 頁



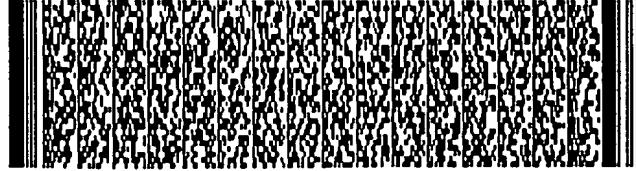
第 9/32 頁



第 10/32 頁



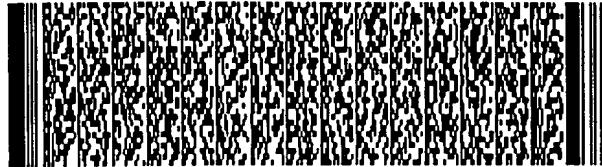
第 10/32 頁



第 11/32 頁



第 11/32 頁



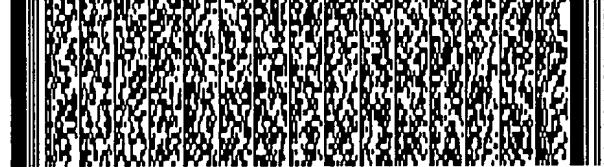
第 12/32 頁



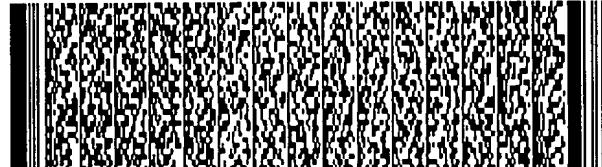
第 12/32 頁



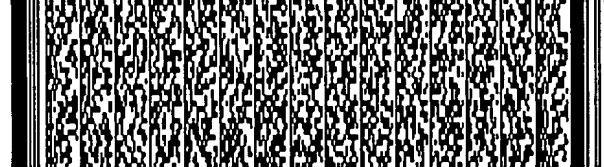
第 13/32 頁



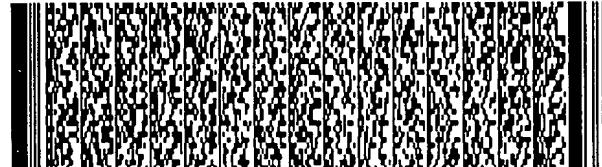
第 13/32 頁



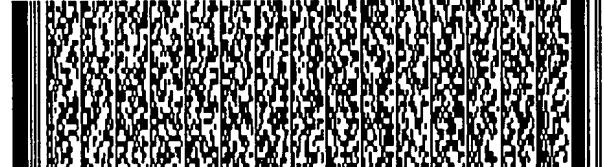
第 14/32 頁



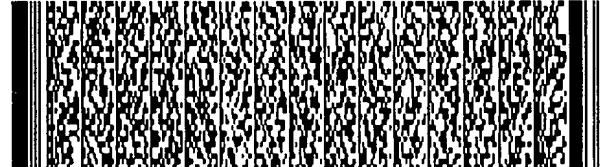
第 14/32 頁



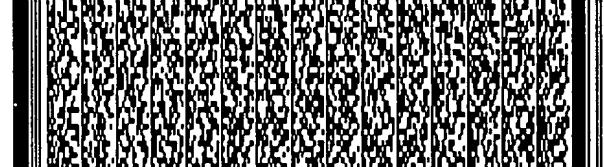
第 15/32 頁



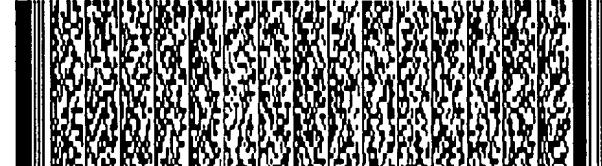
第 15/32 頁



第 16/32 頁



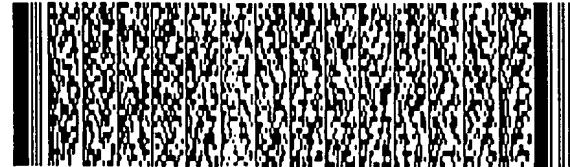
第 16/32 頁



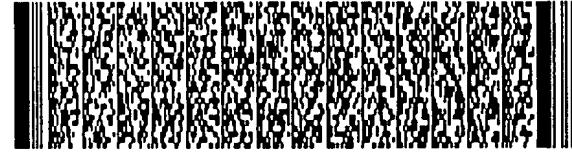
第 17/32 頁



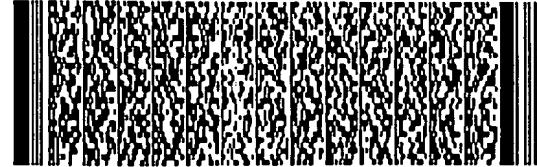
第 17/32 頁



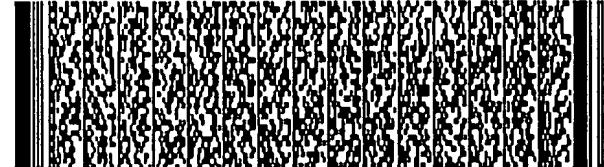
第 18/32 頁



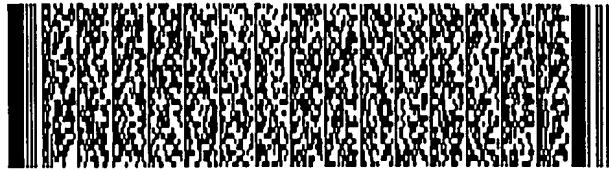
第 18/32 頁



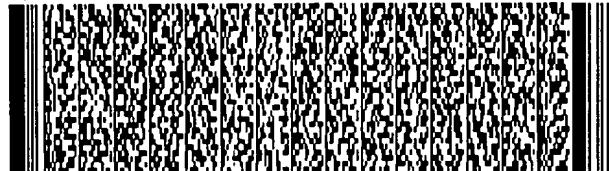
第 19/32 頁



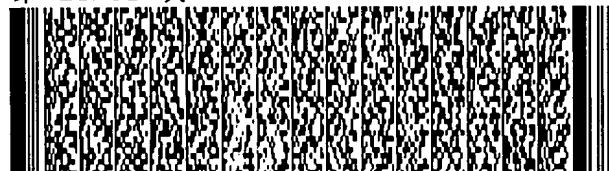
第 19/32 頁



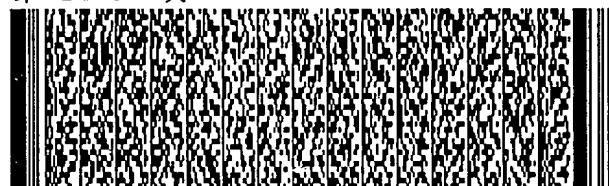
第 20/32 頁



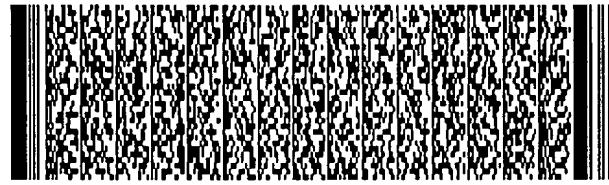
第 21/32 頁



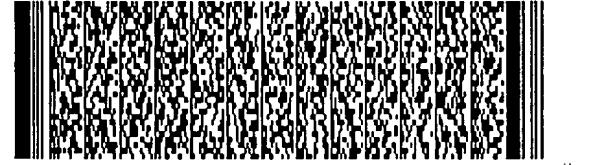
第 22/32 頁



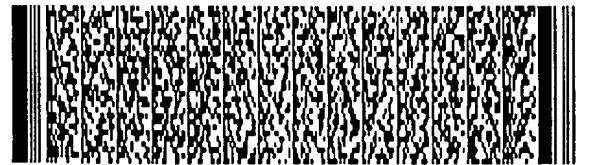
第 23/32 頁



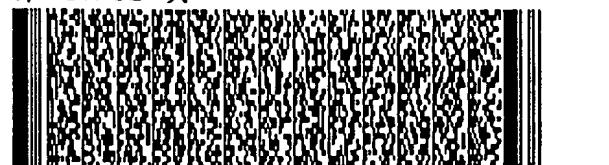
第 24/32 頁



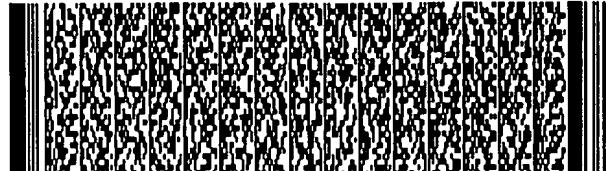
第 25/32 頁



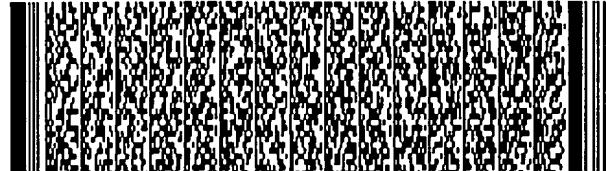
第 26/32 頁



第 20/32 頁



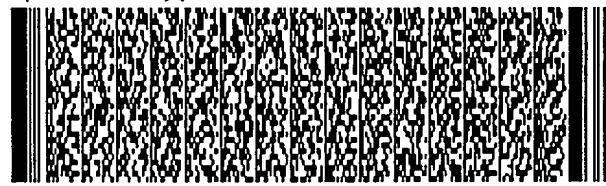
第 21/32 頁



第 22/32 頁



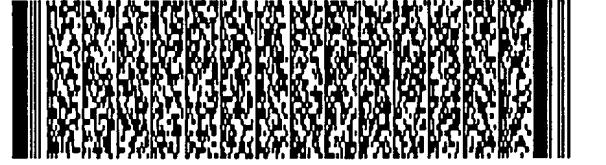
第 23/32 頁



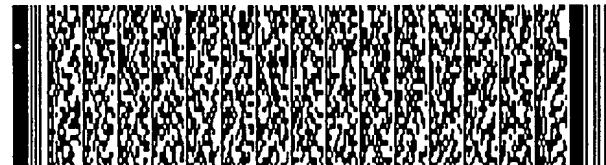
第 24/32 頁



第 25/32 頁



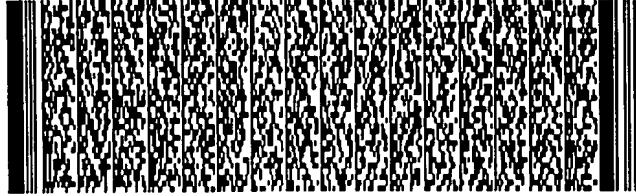
第 26/32 頁



第 28/32 頁



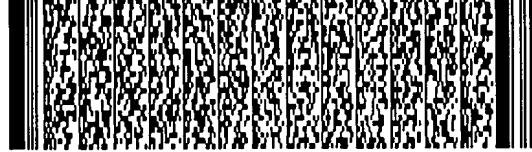
第 29/32 頁



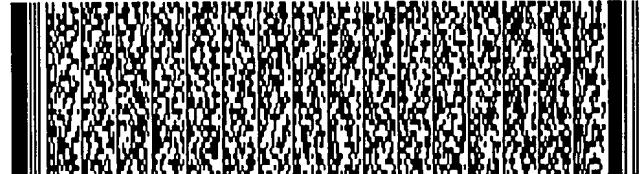
第 30/32 頁



第 30/32 頁



第 31/32 頁



第 32/32 頁

